

96

Document

B

SEMICONDUCTOR ENERGY DETECTOR**Publication number:** WO0175977**Publication date:** 2001-10-11**Inventor:** YONETA YASUHITO (JP); AKAHORI HIROSHI (JP); MURAMATSU MASAHIRO (JP)**Applicant:** HAMAMATSU PHOTONICS KK (JP); YONETA YASUHITO (JP); AKAHORI HIROSHI (JP); MURAMATSU MASAHIRO (JP)**Classification:****- International:** H01L27/146; H01L31/103; H01L27/146; H01L31/102; (IPC1-7): H01L27/142; H04N5/32**- European:** H01L27/146F5I; H01L31/103**Application number:** WO2001JP02568 20010328**Priority number(s):** JP20000102625 20000404; JP20000102620 20000404**Also published as:**

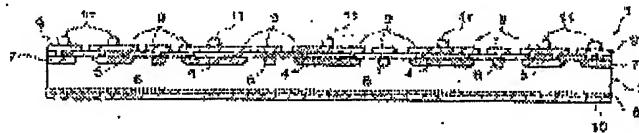
- EP1280207 (A1)
- US7148551 (B2)
- US2003034496 (A1)

Cited documents:

- JP10209417
- JP6140613
- JP3148869
- US5777352
- JP9331051

Report a data error here**Abstract of WO0175977**

A photodiode array (1) includes P<+> diffused layers (4, 5), N<+> channel stop layers (6, 7), and an N<+> diffused layer (8). P<+> diffused layers (4, 5) and N<+> channel stop layers (6, 7) are formed on the back of a semiconductor substrate (3). The N<+> channel stop layer (6) is formed between the adjacent P<+> diffused layers (4, 5), and it has a grid pattern to separate the P<+> diffused layers (4, 5). The N<+> channel stop layer (7) has a frame pattern continuing from N<+> channel stop layer (6) outside the P<+> diffused layer (5). The N<+> channel stop layer (7) is wider than the N<+> channel stop layer (6). A scintillator is connected optically to the front side of the semiconductor substrate (3).

**Data supplied from the esp@cenet database - Worldwide**

(J2)特許協力条約に基づいて公開された国際出版

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日

2001年10月11日 (11.10.2001)

(10) 国際公開番号

WO 01/75977 A1

(51) 国際特許分類: H01L 27/142, H04N 5/32 (74) 代理人: 長谷川芳樹, 外 (HASEGAWA, Yoshiki et al.); 〒104-0061 東京都中央区銀座二丁目6番12号 大倉本
第創英國特許法律事務所 Tokyo (JP).

(21) 国際出版番号: PCT/JP01/02568 (81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB,
BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK,
DM, DZ, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID,
IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU,
LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PL,
PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ,
UA, UG, US, UZ, VN, YU, ZA, ZW.

(22) 国際出版日: 2001年3月28日 (28.03.2001) (84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW,
MZ, SD, SI, SZ, TZ, UG, ZW), ユーラシア特許 (AM,
AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許
(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT,
LU, MC, NL, PT, SE, TR), OAPI 特許 (BF, BJ, CF, CG,
CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG).

(25) 国際出版の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2000-102625 2000年4月4日 (04.04.2000) JP
特願2000-102620 2000年4月4日 (04.04.2000) JP

(71) 出願人 (米国を除く全ての指定国について): 浜松ホ
トニクス株式会社 (HAMAMATSU PHOTONICS K.
K.) [JP/IP]; 〒435-8558 静岡県浜松市市野町1126番地
の1 Shizuoka (JP).

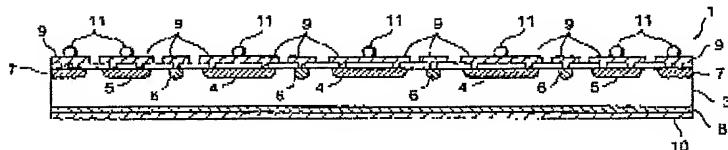
(72) 発明者: および
(75) 発明者/出願人 (米国についてのみ): 米田康人 (YO-
NETA, Yasuhito) [JP/IP], 赤堀 寛 (AKAHORI, Hi-
rosaki) [JP/IP], 村松雅治 (MURAMATSU, Masaharu)
[JP/IP]; 〒435-8558 静岡県浜松市市野町1126番地の1
浜松ホトニクス株式会社内 Shizuoka (JP).



(54) Title: SEMICONDUCTOR ENERGY DETECTOR

(54) 発明の名称: 半導体エネルギー検出素子

WO 01/75977 A1



5), and it has a grid pattern to separate the P⁺ diffused layers (4, 5). The N⁺ channel stop layer (7) has a frame pattern continuing from N⁺ channel stop layer (6) outside the P⁺ diffused layer (5). The N⁺ channel stop layer (7) is wider than the N⁺ channel stop layer (6). A scintillator is connected optically to the front side of the semiconductor substrate (3).

(57) Abstract: A photodiode array (1) includes P⁺ diffused layers (4, 5), N⁺ channel stop layers (6, 7), and an N⁺ diffused layer (8). P⁺ diffused layers (4, 5) and N⁺ channel stop layers (6, 7) are formed on the back of a semiconductor substrate (3). The N⁺ channel stop layer (6) is formed between the adjacent P⁺ diffused layers (4,

/統葉有)

WO 01/75977 A1



(57) 要約:

フォトダイオードアレイ 1は、P⁺拡散層4，5、N⁺チャンネルトップ層6，7、N⁺拡散層8等を含んでいる。P⁺拡散層4，5、及び、N⁺チャンネルトップ層6，7は、半導体基板3の入射面に対する裏面側に設けられている。N⁺チャンネルトップ層6は隣り合うP⁺拡散層4，5の間に設けられており、P⁺拡散層4，5を分離するように格子形状を呈している。N⁺チャンネルトップ層7はP⁺拡散層5の配列の外側にN⁺チャンネルトップ層6と連続して枠状に設けられている。N⁺チャンネルトップ層7はN⁺チャンネルトップ層6よりも幅広とされている。半導体基板3の入射面には、シンチレータが光学的に接続されている。

WO 01/75977

PCT/JP01/02568

明細書

半導体エネルギー検出素子

技術分野

本発明は、放射線等のエネルギー線を検出するための半導体エネルギー検出素子に関する。

背景技術

この種の半導体エネルギー検出素子として、たとえば特開平5-150049号公報に開示されたようなものが知られている。この特開平5-150049号公報に開示された半導体エネルギー検出素子は、N型シリコンウェハを有し、このシリコンウェハの表面には溝部が多数形成されており、各々の溝部の底部に位置するようP型拡散層が形成されている。そして、シリコンウェハの表面側にアルミニウムなどの金属による電極が形成され、P型拡散層の一部に電気的に接続されている。裏面側にはアルミニウムなどの金属による電極が全面に形成されている。また、溝部の各々に挿入するようにしてシンチレータが固着される。

発明の開示

しかしながら、上述したような構成の半導体エネルギー検出素子にあっては、シンチレーション光（放射線）の入射面側（シリコンウェハの表面側）に電極が設けられているので、この電極が設けられている部分でのシンチレーション光の検出が不可能となり、半導体エネルギー検出素子においてシンチレーション光が検出可能となる部分の面積を拡大するのには限界があった。

本発明は上述の点に鑑みてなされたもので、エネルギー線が検出可能となる部分の面積を拡大することが可能な半導体エネルギー検出素子を提供することを課題とする。

上記課題を解決するために、本発明の半導体エネルギー検出素子は、第1導電型の半導体からなり、入射面から所定波長域のエネルギー線が入射する半導体基板を備え、半導体基板の入射面に対する裏面側には、第2導電型の半導体からな

WO 01/75977

PCT/JP01/02568

る第2導電型の拡散層と、半導体基板よりも不純物濃度の高い第1導電型の半導体からなる第1導電型の拡散層と、が設けられていることを特徴としている。

半導体基板の入射面に対する裏面側に、第2導電型の拡散層と、第1導電型の拡散層とが設けられているので、半導体基板の入射面側には電極が設けられることではなく、エネルギー線が検出可能となる部分の面積を拡大することができる。

本発明の半導体エネルギー検出素子においては、半導体基板の入射面側には、シンチレータが光学的に接続されていることを特徴としてもよい。

シンチレータが半導体基板の入射面側に光学的に接続されているので、シンチレータ光が検出可能となる部分の面積を拡大することができる。

本発明の半導体エネルギー検出素子においては、半導体基板内には、半導体基板の入射面に対する裏面から入射面まで空乏化された完全空乏化状態において、半導体基板の入射面に対する裏面から入射面まで空乏化しない領域が設けられるることを特徴としてもよい。

半導体基板内に、半導体基板の入射面に対する裏面から入射面まで空乏化された完全空乏化状態において、半導体基板の入射面に対する裏面から入射面まで空乏化しない領域が設けられることにより、第1導電型の拡散層を介してバイアス電圧を印加していくと第1導電型の拡散層の下方で隣り合う空乏層が繋がってしまい、第1導電型の拡散層にはバイアス電圧がそれ以上印加できなくなる。しかしながら、半導体基板内に、半導体基板の入射面に対する裏面から入射面まで空乏化された完全空乏化状態において、半導体基板の入射面に対する裏面から入射面まで空乏化しない領域が設けられることにより、第1導電型の拡散層の下方で隣り合う空乏層が繋がった後も、半導体基板の入射面に対する裏面から入射面まで空乏化しない領域を介してバイアス電圧を印加し続けることができ、半導体基板の空乏化を更に進めることができる。この結果、半導体エネルギー検出素子において、エネルギー線の検出感度及び応答速度が低下するのを抑制することができる。

WO 01/75977

PCT/JP01/02568

本発明の半導体エネルギー検出素子においては、第1導電型の拡散層は、第2導電型の拡散層の間に設けられ、第2導電型の拡散層を分離するための第1の第1導電型の拡散層と、第2導電型の拡散層の配列の外側に設けられ、第1の第1導電型の拡散層よりも幅広に形成された第2の第1導電型の拡散層と、を含んでいることを特徴としてもよい。

第1導電型の拡散層が、第2導電型の拡散層の間に設けられ、第2導電型の拡散層を分離するための第1の第1導電型の拡散層と、第2導電型の拡散層の配列の外側に設けられ、第1の第1導電型の拡散層よりも幅広に形成された第2の第1導電型の拡散層と、を含むことにより、半導体基板内に、半導体基板の入射面に対する裏面から入射面まで空乏化された完全空乏化状態において、半導体基板の入射面に対する裏面から入射面まで空乏化しない領域が設けられ得る構成を簡易且つ低コストで実現することができる。

また、本発明の半導体エネルギー検出素子においては、第2の第1導電型の拡散層に隣接する第2導電型の拡散層の幅と第2の第1導電型の拡散層の幅との和は、第2の第1導電型の拡散層に隣接しない第2導電型の拡散層の幅と第1の第1導電型の拡散層の幅との和と等しくなるように設定されていることを特徴としてもよい。

第2の第1導電型の拡散層に隣接する第2導電型の拡散層の幅と第2の第1導電型の拡散層の幅との和を、第2の第1導電型の拡散層に隣接しない第2導電型の拡散層の幅と第1の第1導電型の拡散層の幅との和と等しくなるように設定することにより、第2の第1導電型の拡散層に隣接する第2導電型の拡散層を含む単位領域の幅が、第2の第1導電型の拡散層に隣接しない第2導電型の拡散層を含む単位領域の幅と等しくなる。これにより、特に第2導電型の拡散層と第1導電型の拡散層とが設けられた半導体基板を複数並設した場合において、全ての単位領域の幅が等しくなり、エネルギー線が検出可能となる部分の面積をより一層拡大することが可能となる。

WO 01/75977

PCT/JP01/02568

また、本発明の半導体エネルギー検出素子においては、第2の第1導電型の拡散層は、半導体基板の端部に設けられていることを特徴としてもよい。

第2の第1導電型の拡散層が半導体基板の端部に設けられることにより、半導体基板の端部において、第2の第1導電型の拡散層の下方には空乏層が形成されない領域が存在することになり、空乏層が半導体基板の端部に繋がることにより発生するリーク電流の増大を抑制することができる。
5

また、本発明の半導体エネルギー検出素子においては、第2導電型の拡散層は、所定の間隔で複数配列されており、第2導電型の拡散層の間には、半導体基板よりも不純物濃度の高い第1導電型の半導体からなり、第2導電型の拡散層を分離するための第1の第1導電型の拡散層が設けられ、第2導電型の拡散層の配列の外側には、半導体基板よりも不純物濃度の高い第1導電型の半導体からなり、第1の第1導電型の拡散層よりも幅広に形成された第2の第1導電型の拡散層が設けられていることを特徴としてもよい。
10
15

半導体基板の入射面に対する裏面側に、第2導電型の拡散層と、第1の第1導電型の拡散層と、第2の第1導電型の拡散層とが設けられるので、エネルギー線の入射面側に電極取出しによる不感領域が発生することなく、エネルギー線が検出可能となる部分の面積を拡大することが可能となる。

第1の第1導電型の拡散層を介してバイアス電圧を印加していくと第1の第1導電型の拡散層の下方で隣り合う空乏層が繋がってしまい、第1の第1導電型の拡散層にはバイアス電圧がそれ以上印加できなくなる。しかしながら、第2導電型の拡散層の配列の外側には、半導体基板よりも不純物濃度の高い第1導電型の半導体からなり、第1の第1導電型の拡散層よりも幅広に形成された第2の第1導電型の拡散層が設けられているので、第1の第1導電型の拡散層の下方で隣り合う空乏層が繋がった後も、第2の第1導電型の拡散層を介してバイアス電圧を印加し続けることができ、半導体基板の空乏化を更に進めることができる。この結果、半導体エネルギー検出素子において、エネルギー線の検出感度及び応答速
20
25

WO 01/75977

PCT/JP01/02568

度が低下するのを抑制することが可能となる。

また、本発明の半導体エネルギー検出素子においては、第2の第1導電型の拡散層に隣接する第2導電型の拡散層の幅と第2の第1導電型の拡散層の幅との和は、第2の第1導電型の拡散層に隣接しない第2導電型の拡散層の幅と第1の第1導電型の拡散層の幅との和と等しくなるように設定されていることを特徴としてもよい。

第2の第1導電型の拡散層に隣接する第2導電型の拡散層の幅と第2の第1導電型の拡散層の幅との和を、第2の第1導電型の拡散層に隣接しない第2導電型の拡散層の幅と第1の第1導電型の拡散層の幅との和と等しくなるように設定することにより、第2の第1導電型の拡散層に隣接する第2導電型の拡散層を含む単位領域の幅が、第2の第1導電型の拡散層に隣接しない第2導電型の拡散層を含む単位領域の幅と等しくなる。これにより、特に本発明による半導体エネルギー検出素子を複数並設した場合において、全ての単位領域の幅が等しくなり、エネルギー線が検出可能となる部分の面積をより一層拡大することが可能となる。

また、本発明の半導体エネルギー検出素子においては、第2の第1導電型の拡散層は、半導体基板の端部に設けられていることを特徴としてもよい。

第2の第1導電型の拡散層が半導体基板の端部に設けられることにより、半導体基板の端部において、第2の第1導電型の拡散層の下方には空乏層が形成されない領域が存在することになり、空乏層が半導体基板の端部に繋がることにより発生するリーク電流の増大を抑制することができる。

図面の簡単な説明

図1は、エネルギー線検出素子を示す斜視図である。

図2は、エネルギー線検出素子に含まれる、裏面入射型のフォトダイオードアレイを示す平面図である。

図3は、エネルギー線検出素子に含まれる、裏面入射型のフォトダイオードアレイの断面構造を示す概略図である。

WO 01/75977

PCT/JP01/02568

図4は、エネルギー線検出素子に含まれる、裏面入射型のフォトダイオードアレイの断面構造を示す概略図である。

図5は、エネルギー線検出素子に含まれる、裏面入射型のフォトダイオードアレイの断面構造を示す概略図である。

5 図6は、エネルギー線検出素子に含まれる、裏面入射型のフォトダイオードアレイをマトリックス状に並設した状態を示した平面図である。

発明を実施するための最良の形態

本発明の実施形態に係るエネルギー線検出素子について、図面を参照して説明する。なお、各図において、同一要素又は同一機能を有する要素には、同一符号10 を用いることとし、重複する説明は省略する。

エネルギー線検出素子Rは、図1に示されるように、フォトダイオードアレイ1とシンチレータ2とを有しており、放射線検出器として機能する。シンチレータ2は、フォトダイオードアレイ1の一方の面（入射面）側に光学的に接続されており、放射線がシンチレータ2に入射したときに生じるシンチレーション光がフォトダイオードアレイ1に入射するように構成されている。なお、シンチレータ2の放射線が入射する面には、A1、Cr等を蒸着して、入射する放射線を透過し、シンチレータ2からのシンチレーション光を反射する反射膜を形成するようにしてよい。

次に、フォトダイオードアレイ1の構成について、図2及び図3に基づいて説明する。本実施形態においては、フォトダイオードアレイ1として、フォトダイオード数が25（5×5）の完全空乏型の裏面入射型フォトダイオードアレイを用いている。

裏面入射型のフォトダイオードアレイ1は、図2及び図3に示すように、半導体基板3を備え、この半導体基板3にフォトダイオードアレイが形成されている。25 半導体基板3は、ウエハ厚0.3mm、比抵抗5kΩ·cmの高抵抗N型シリコン基板からなる。

WO 01/75977

PCT/JP01/02568

1 フォトダイオードアレイ 1 は、第 2 導電型の拡散層としての P⁺拡散層 4, 5、
2 第 1 の第 1 導電型の拡散層としての N⁺チャンネルトップ層 6、第 2 の第 1 導
3 電型の拡散層としての N⁺チャンネルトップ層 7、N⁺拡散層 8、アルミニウム
4 等による配線 9、及び AR (反射防止) コート層 10 を含んでいる。P⁺拡散層
5 4, 5、及び、N⁺チャンネルトップ層 6, 7 は、シンチレータ 2 からシンチ
6 レーション光が入射する半導体基板 3 の入射面に対する裏面側に設けられている。
7 N⁺拡散層 8 は、シンチレータ 2 からシンチレーション光が入射する半導体基板
8 3 の入射面側に設けられており、この N⁺拡散層 8 の外側には AR (反射防止)
9 コート層 10 が設けられている。N⁺拡散層 8 は、半導体基板 3 よりも不純物濃
10 度の高い第 1 導電型の半導体からなり、その表面濃度は $1.0 \times 10^{19} \text{ cm}^{-3}$
11 程度とされている。シンチレータ 2 は、P⁺拡散層 4, 5、及び、N⁺チャンネル
12 ルトップ層 6, 7 が設けられた半導体基板 3 の面に対する裏面（入射面）に光学
13 的に接続されている。

14 P⁺拡散層 4, 5 は、表面濃度が $1.0 \times 10^{20} \text{ cm}^{-3}$ 程度とされており、所
15 定の間隔（本実施形態においては、500 μm 程度）をおいて 5 × 5 (25) 個
16 配列されている。

17 N⁺チャンネルトップ層 6 は半導体基板 3 よりも不純物濃度が高い第 1 導電
18 型の半導体からなり、N⁺チャンネルトップ層 6 の表面濃度は 1.0×10^{19}
19 cm^{-3} 程度とされている。また、N⁺チャンネルトップ層 6 は隣り合う P⁺拡散
20 層 4, 5 の間に設けられており、P⁺拡散層 4, 5 を分離するように格子形状を
21 呈している。P⁺拡散層 4, 5 と N⁺チャンネルトップ層 6 との間隔は、150
22 μm 程度とされている。N⁺チャンネルトップ層 6 の幅は、200 μm 程度に
23 設定されている。

24 N⁺チャンネルトップ層 7 は半導体基板 3 よりも不純物濃度が高い第 1 導電
25 型の半導体からなり、N⁺チャンネルトップ層 7 の表面濃度は 1.0×10^{19}
26 cm^{-3} 程度とされている。また、N⁺チャンネルトップ層 7 は P⁺拡散層 4, 5

WO 01/75977

PCT/JP01/02568

の配列の外側にN⁺チャンネルトップ層6と連続して枠状に設けられている。P⁺拡散層5とN⁺チャンネルトップ層7との間隔は、300 μm程度とされており、N⁺チャンネルトップ層7を含めたP⁺拡散層5から半導体基板3の端部までの距離は900 μm程度である。N⁺チャンネルトップ層7の幅は、60 5 μm程度に設定されており、N⁺チャンネルトップ層7はN⁺チャンネルトップ層6よりも幅広とされている。

N⁺チャンネルトップ層7に隣接するP⁺拡散層5は、N⁺チャンネルトップ層7に隣接しないP⁺拡散層4に比して、その幅が短く設定されている。N⁺チャンネルトップ層7に隣接するP⁺拡散層5の幅とN⁺チャンネルトップ層7の幅との和は、N⁺チャンネルトップ層7に隣接しないP⁺拡散層4の幅とN⁺チャンネルトップ層6の幅との和と等しくなるように設定されている。これにより、P⁺拡散層5の面積はP⁺拡散層4の面積よりも小さくなるものの、P⁺拡散層5を含むフォトダイオード単位セル（単位領域）の幅はP⁺拡散層4を含むフォトダイオード単位セル（単位領域）の幅と等しくなり、フォトダイオード 15 アレイ1におけるフォトダイオード単位セル（単位領域）の面積は全て等しくなる。

P⁺拡散層4、5、及び、N⁺チャンネルトップ層6、7の夫々に電気的に接続された各配線9上には、バンプ11が形成されている。P⁺拡散層4、5、及び、N⁺チャンネルトップ層6、7の電気的接続は、半導体基板3の入射面に 20 対する裏面側においてなされる。バンプ11は、出力読み出し回路（図示せず）とフリップチップボンディングによって接続される。

次に、上述した構成のフォトダイオードアレイ1の動作について、図4及び図5に基づいて説明する。

まず、フォトダイオードアレイ1をN⁺チャンネルトップ層6、7に正のバイアス電圧を印加して使用する場合、半導体基板3にはバイアス電圧の大きさに応じた空乏層12が形成される。フォトダイオードアレイ1においてN⁺チャン

WO 01/75977

PCT/JP01/02568

ネルストップ層 6, 7を介してバイアス電圧を印加していくと、完全空乏化の途中の 100 V程度印加した状態で、図 4 に示されるように、N⁺チャンネルストップ層 6 の下方で隣り合う空乏層 12 同士が繋がってしまい、N⁺チャンネルストップ層 6 には上述した 100 V程度以上のバイアス電圧が印加できない状態となる。なお、半導体基板 3 と同じ比抵抗 5 kΩ · cm の高抵抗 N 型シリコン基板を用いた PIN 型フォトダイオードにおいては、通常 110 V ~ 120 V 程度のバイアス電圧を印加することにより、完全空乏化が達成される。

しかしながら、N⁺チャンネルストップ層 6 よりも幅広の N⁺チャンネルストップ層 7 が P⁺拡散層 4, 5 の配列の外側に N⁺チャンネルストップ層 6 と連続して設けられているので、N⁺チャンネルストップ層 7 の下方には半導体基板 3 の入射面側までの間において、空乏化しない領域として空乏層 12 が形成されない領域 13 が存在する。したがって、N⁺チャンネルストップ層 7 の下方には半導体基板 3 の入射面側までの間において空乏層 12 が形成されていない領域 13 が設けられるので、N⁺チャンネルストップ層 6 の下方で隣り合う空乏層 12 同士が繋がった後も、N⁺チャンネルストップ層 7 を介して N⁺拡散層 8 にバイアス電圧を印加することができるため、半導体基板 3 内における空乏化を更に進めることができる。

空乏層 12 が N⁺拡散層 8 にまで達した後にも更にバイアス電圧を印加し続けることにより、N⁺チャンネルストップ層 6 の下方の不感領域（空乏層 12）を低減若しくは無くすことが可能である。200 V 程度のバイアス電圧を印加することで、図 5 に示されるように、空乏層 12 が半導体基板 3 の入射面（N⁺拡散層 8）全体に広がることになり、半導体基板 3 が完全空乏化された状態となる。半導体基板 3 が完全空乏化された状態においても、図 5 に示されるように、N⁺チャンネルストップ層 7 の下方には、半導体基板 3 の入射面側までの間において空乏層 12 が形成されない領域 13 が設けられることになる。

空乏層 12 が半導体基板 3 の N⁺拡散層 8 に到達した状態で、シンチレータ 2

WO 01/75977

PCT/JP01/02568

からシンチレーション光が半導体基板3の入射面に入射すると、フォトダイオードアレイ1において空乏層1,2内で発生した光電流が高速で検出されることになる。また、P⁺拡散層4,5を含むフォトダイオード単位セルがマトリックス状に配設（マルチチャンネル化）されているので、フォトダイオードアレイ1においてシンチレーション光の入射位置も検出されることになる。

半導体基板3の端部に空乏層1,2が繋がるとリーク電流が増大することになる。しかしながら、N⁺チャンネルトップ層7はN⁺チャンネルトップ層6よりも幅広とされているので、N⁺チャンネルトップ層7の下方には、空乏層1,2が形成されない領域1,3が存在することになる。これにより、半導体基板3の端部においてリーク電流が増大するのを抑制することができる。

このように、エネルギー線検出素子Rにあっては、フォトダイオードアレイ1とシンチレータ2とを有し、フォトダイオードアレイ1における半導体基板3の入射面に対する裏面側に、P⁺拡散層4,5と、N⁺チャンネルトップ層6,7とが設けられ、シンチレータ2が半導体基板3の入射面側に光学的に接続されている。このように、半導体基板3の入射面側には電極が設けられないことから、電極取出しによる不感領域が発生することではなく、放射線が検出可能となる部分の面積を拡大することができる。

また、半導体基板3の入射面側には電極が設けられることはないので、半導体基板3の入射面側を平坦化することができ、シンチレータ2を容易に光学的に接続することができる。

N⁺チャンネルトップ層6を介してバイアス電圧を印加していくとN⁺チャンネルトップ層6の下方で隣り合う空乏層1,2が繋がってしまい、N⁺チャンネルトップ層6にはバイアス電圧がそれ以上印加できなくなる。しかしながら、フォトダイオードアレイ1の半導体基板3にはN⁺チャンネルトップ層7が設けられているので、N⁺チャンネルトップ層7の下方には半導体基板3の入射面側までの間において空乏層1,2が形成されない領域1,3が設けられることにな

WO 01/75977

PCT/JP01/02568

る。これにより、N⁺チャンネルトップ層6の下方で隣り合う空乏層12が繋がった後も、N⁺チャンネルトップ層7を介してバイアス電圧を印加し続けることができ、半導体基板3の空乏化を更に進めることができ、半導体基板3の完全空乏化が可能となる。この結果、フォトダイオードアレイ1において、エネルギー線の検出感度及び応答速度が低下するのを抑制することが可能となる。

また、P⁺拡散層4、5の配列の外側にN⁺チャンネルトップ層6よりも幅広とされたN⁺チャンネルトップ層7を設けることにより、N⁺チャンネルトップ層6、7が設けられた面から入射面まで間の半導体基板3の部分において空乏層12が形成されない領域13を設けることが可能となる。この結果、空乏層12が形成されない領域13が設けられ得る構成を簡易且つ低成本で実現することができる。

なお、フォトダイオードアレイ1は、基本的に空乏層12が半導体基板3の入射面（N⁺拡散層8）全体に広がった完全空乏化された状態で使用される。この完全空乏化された状態において空乏層12は、N⁺チャンネルトップ層6の下方において全て繋がっており、空乏層12の端は半導体基板3の端部近傍まで達している。この半導体基板3の端部近傍までの空乏層12の広がりは、印加するバイアス電圧によって調節することができるため、P⁺拡散層5を小さくしても空乏層12を半導体基板3の端部近傍まで広げることが可能である。これにより、P⁺拡散層5の幅（面積）をP⁺拡散層4の幅（面積）よりも小さく設定した場合においても、空乏層12に発生したキャリアはP⁺拡散層5に集められることになる。この結果、フォトダイオードアレイ1の有感領域の減少が抑えられて、フォトダイオードアレイ1のシンチレータ光の受光感度に影響を及ぼすことが抑制される。

また、フォトダイオードアレイ1は、図6に示されるように、複数個のフォトダイオードアレイ1をマトリックス状に並設して使用することもできる。

N⁺チャンネルトップ層7に隣接するP⁺拡散層5の幅とN⁺チャンネルスト

WO 01/75977

PCT/JP01/02568

5 ップ層 7 の幅との和は、N⁺チャンネルトップ層 7 に隣接しないP⁺拡散層 4 の幅とN⁺チャンネルトップ層 6 の幅との和と等しくなるように設定されることにより、図 6 に示されるように、P⁺拡散層 5 を含むフォトダイオード単位セル（単位領域）の幅 a はP⁺拡散層 4 を含むフォトダイオード単位セル（単位領域）の幅 a と等しくなる。これにより、フォトダイオードアレイ 1 におけるフォトダイオード単位セル（単位領域）の面積は全て等しくなる。この結果、複数個のフォトダイオードアレイ 1 をマトリックス状に配設した場合において、エネルギー線を大面積で容易に検出することができると共に、エネルギー線の入射位置を適切に検出することができる。

10 なお、N⁺チャンネルトップ層 7 は、半導体基板 3 の端部に設ける必要はなく、いずれかのN⁺チャンネルトップ層 6 の位置（フォトダイオード単位セル間の位置）に設けるようにしてもよい。しかしながら、N⁺チャンネルトップ層 7 の下方の領域 13 は空乏化されないために、フォトダイオードアレイ 1 のフォトダイオード単位セルの間に不感領域が存在することになる。したがって、フォトダイオードアレイ 1 のフォトダイオード単位セルの間に不感領域が存在する、及び、半導体基板 3 の端部においてリーク電流が発生するという二つの現象の発生を回避するためには、N⁺チャンネルトップ層 7 は、半導体基板 3 の端部に設けたほうが好ましい。

20 本発明は、前述した実施形態に限定されるものではなく、上述した数値等も適宜変更して設定することができる。また、本発明を放射線検出器以外の様々な半導体エネルギー検出素子に適用することができる。

産業上の利用可能性

本発明は放射線検出器等の半導体エネルギー検出素子に利用できる。

WO 01/75977

PCT/JP01/02568

請求の範囲

1. 第1導電型の半導体からなり、入射面から所定波長域のエネルギー線が入射する半導体基板を備え、
前記半導体基板の前記入射面に対する裏面側には、第2導電型の半導体からなる第2導電型の拡散層と、前記半導体基板よりも不純物濃度の高い第1導電型の半導体からなる第1導電型の拡散層と、が設けられていることを特徴とする半導体エネルギー検出素子。
2. 前記半導体基板の前記入射面側には、シンチレータが光学的に接続されていることを特徴とする請求の範囲第1項に記載の半導体エネルギー検出素子。
3. 前記半導体基板内には、前記半導体基板の前記入射面に対する前記裏面から前記入射面まで空乏化された完全空乏化状態において、前記半導体基板の前記入射面に対する前記裏面から前記入射面まで空乏化しない領域が設けられるることを特徴とする請求の範囲第1項に記載の半導体エネルギー検出素子。
4. 前記第1導電型の拡散層は、
前記第2導電型の拡散層の間に設けられ、前記第2導電型の拡散層を分離するための第1の第1導電型の拡散層と、
前記第2導電型の拡散層の配列の外側に設けられ、前記第1の第1導電型の拡散層よりも幅広に形成された第2の第1導電型の拡散層と、を含んでいることを特徴とする請求の範囲第3項に記載の半導体エネルギー検出素子。
5. 前記第2の第1導電型の拡散層に隣接する第2導電型の拡散層の幅と前記第2の第1導電型の拡散層の幅との和は、前記第2の第1導電型の拡散層に隣接しない第2導電型の拡散層の幅と前記第1の第1導電型の拡散層の幅との和と等しくなるように設定されていることを特徴とする請求の範囲第4項に記載の半導体エネルギー検出素子。
6. 前記第2の第1導電型の拡散層は、前記半導体基板の端部に設けられていることを特徴とする請求の範囲第4項に記載の半導体エネルギー検出素子。

WO 01/75977

PCT/JP01/02568

7. 前記第2導電型の拡散層は、所定の間隔で複数配列されており、前記第2導電型の拡散層の間には、前記半導体基板よりも不純物濃度の高い第1導電型の半導体からなり、前記第2導電型の拡散層を分離するための第1の第1導電型の拡散層が設けられ、

5 前記第2導電型の拡散層の配列の外側には、前記半導体基板よりも不純物濃度の高い第1導電型の半導体からなり、前記第1の第1導電型の拡散層よりも幅広に形成された第2の第1導電型の拡散層が設けられていることを特徴とする請求の範囲第1項に記載の半導体エネルギー検出素子。

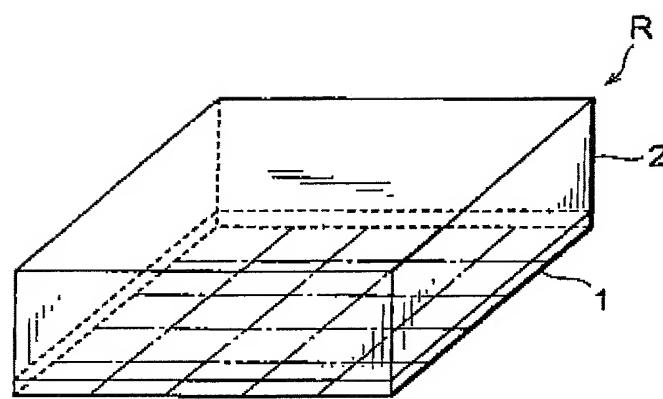
8. 前記第2の第1導電型の拡散層に隣接する第2導電型の拡散層の幅と前記第2の第1導電型の拡散層の幅との和は、前記第2の第1導電型の拡散層に隣接しない第2導電型の拡散層の幅と前記第1の第1導電型の拡散層の幅との和と等しくなるように設定されていることを特徴とする請求の範囲第7項に記載の半導体エネルギー検出素子。

9. 前記第2の第1導電型の拡散層は、前記半導体基板の端部に設けられていることを特徴とする請求の範囲第7項に記載の半導体エネルギー検出素子。

WO 01/75977

PCT/JP01/02568

FIG 1

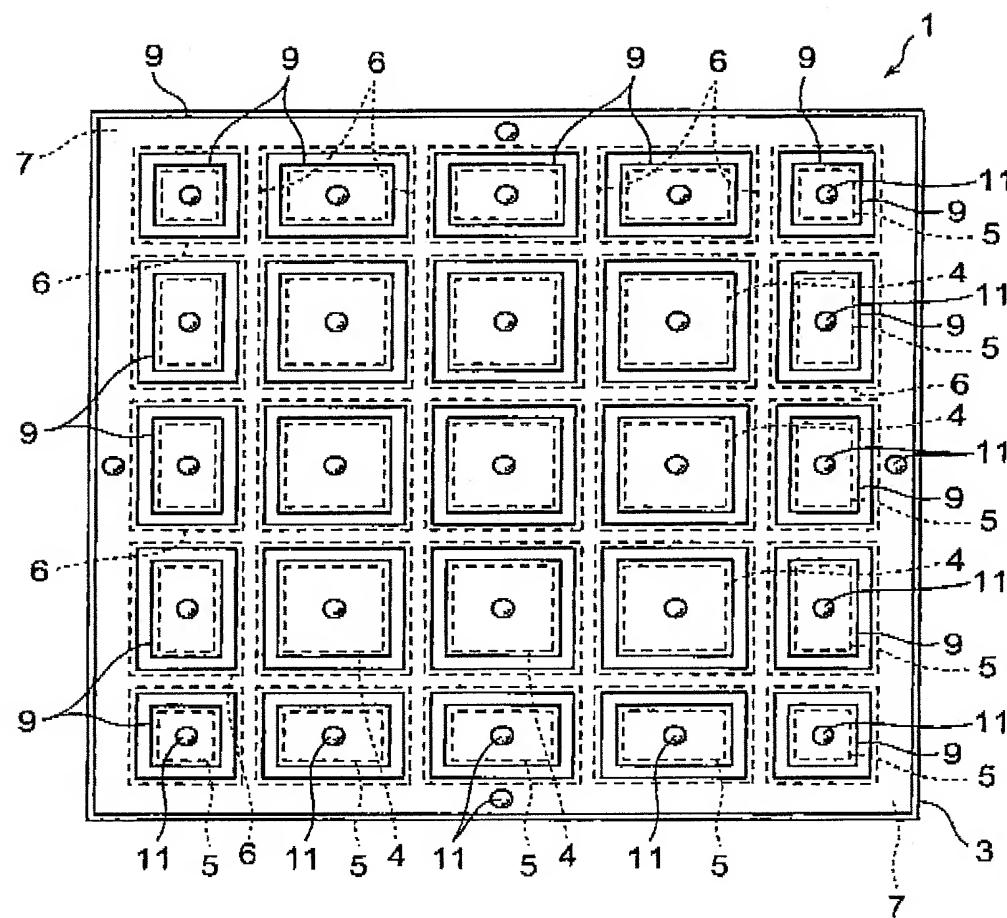


1/6

WO 01/75977

PCT/JP01/02568

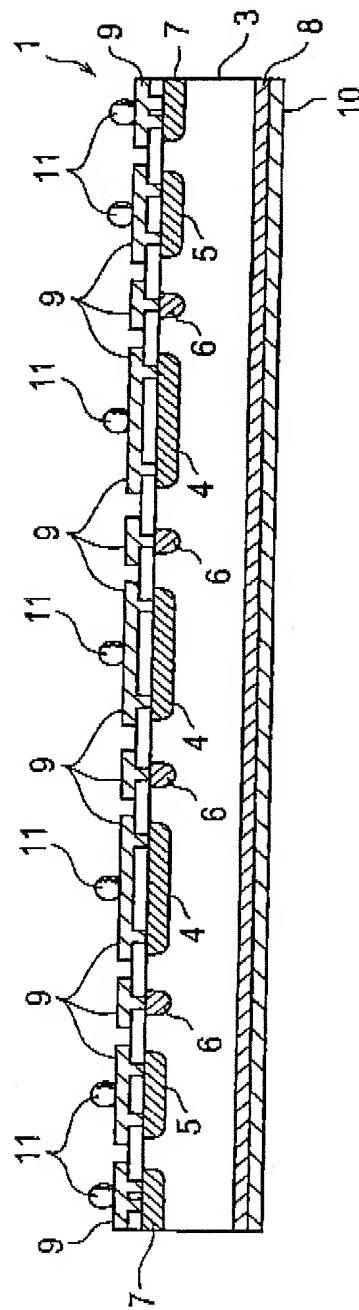
E2



2/6

WO 01/75977

PCT/JP01/02568



3

3/6

WO 01/75977

PCT/JP01/02568

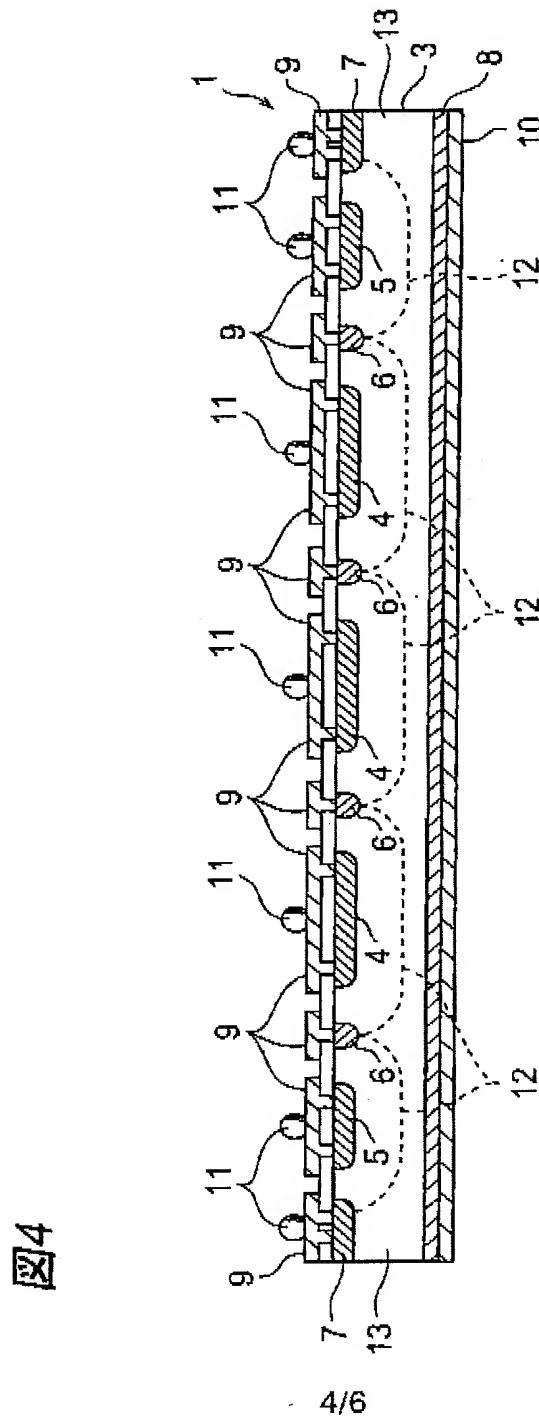
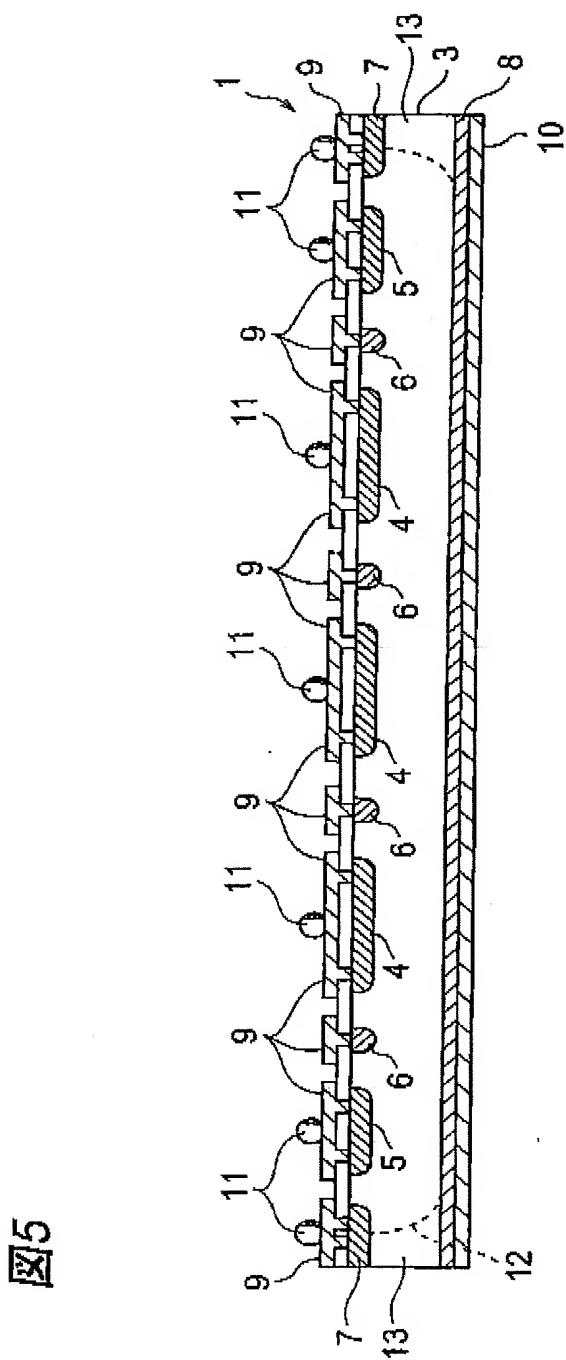


图4

4/6

WO 01/75977

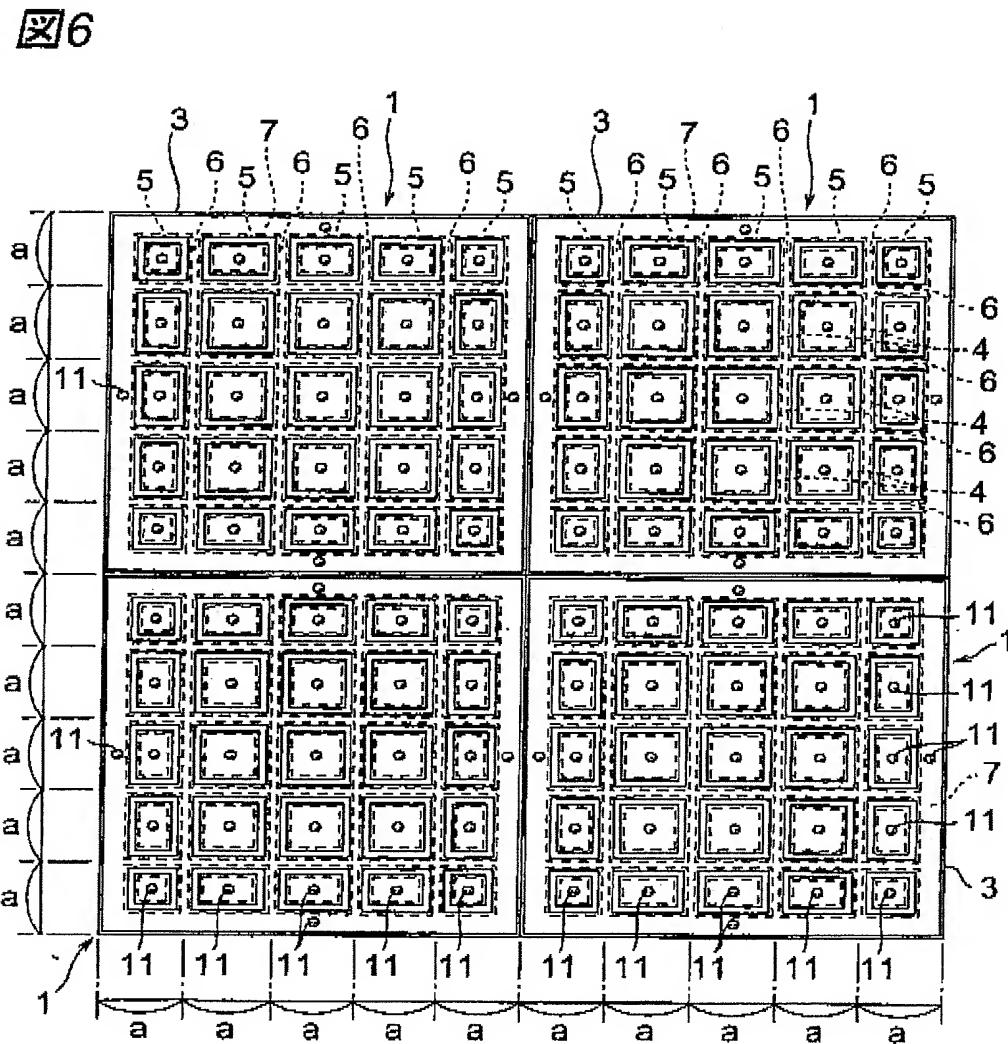
PCT/JP01/02568



5/6

WO 01/75977

PCT/JP01/02568



6/6

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/02568

A. CLASSIFICATION OF SUBJECT MATTER
Int.C1⁷ H01L27/142, H04N5/32

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.C1⁷ H01L27/14-148Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-2001
Kokai Jitsuyo Shinan Koho 1971-2001 Jitsuyo Shinan Toroku Koho 1996-2001

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category ^a	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 10-209417, A (SII RD Center K.K.), 07 August, 1998 (07.08.98). Full text; Fig. 3 & US, 6114685, A	1-2
X	JP, 6-140613, A (Hamamatsu Photonics K.K.), 20 May, 1994 (20.05.94). Full text; Fig. 3 (Family: none)	1
X	JP, 3-148869, A (Fujitsu Limited), 25 June, 1991 (25.06.91). Full text; Fig. 8 (Family: none)	1
A	US, 5777352, A (Eastman Kodak Company), 07 July, 1998 (07.07.98). Full text; Fig. 5 (Family: none)	1

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E" earlier document but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	"&" document member of the same patent family

Date of the actual completion of the international search 22 June, 2001 (22.06.01)	Date of mailing of the international search report 03 July, 2001 (03.07.01)
---	--

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
--	--------------------

Facsimile No.	Telephone No.
---------------	---------------

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/02568

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 9-331051, A (SII RD Center K.K.), 22 December, 1997 (22.12.97), Full text; Fig. 1 (Family: none)	1

Form PCT/ISA/210 (continuation of second sheet) (July 1992)

国際調査報告

国際出願番号 PCT/JP01/02568

A. 発明の属する分野の分類(国際特許分類(IPC))

Int. C17 H01L27/142 H04N5/32

B. 調査を行った分野

調査を行った最小限資料(国際特許分類(IPC))

Int. C17 H01L27/14-148

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
 日本国公開実用新案公報 1971-2001年
 日本国登録実用新案公報 1994-2001年
 日本国実用新案登録公報 1996-2001年

国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP, 10-209417, A (株式会社エスアイアイ・アールディセンター) 7. 8月. 1998 (07. 08. 98) 全文, 第3図 & US, 6114685, A	1-2
X	JP, 6-140613, A (浜松ホトニクス株式会社) 20. 5月. 1994 (20. 05. 94) 全文, 第3図 (ファミリーなし)	1

 C欄の続きをにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願目前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願目前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日 22. 06. 01	国際調査報告の発送日 03.07.01
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官(権限のある職員) 齊藤 恒一 電話番号 03-3581-1101 内線 3462 4L 3035

様式PCT/ISA/210(第2ページ)(1998年7月)

国際調査報告		国際出願番号 PCT/JP01/02568
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP, 3-148869, A (富士通株式会社) 25. 6月. 1991 (25. 06. 91) 全文, 第8図 (ファミリーなし)	1
A	U.S., 5777352, A (Eastman Kodak Company) 7. 7月. 1998 (07. 07. 98) 全文, 第5図 (ファミリーなし)	1
A	JP, 9-331061, A (株式会社エスアイアイ・アールディ センター) 22. 12月. 1997 (22. 12. 97) 全文, 第1図 (ファミリーなし)	1

様式PCT/ISA/210 (第2ページの続き) (1998年7月)